

Architektura procesorów

Firma AMD próbuje zdobyć rynek procesorów 64-bitowych

Papierowy młotek

Od pewnego czasu trwają spekulacje na temat architektury Hammera – pierwszego 64-bitowego procesora firmy AMD. Jednak niedawno producent postanowił uchylić rąbka tajemnicy...

Marcin Bieńkowski

Od zarania komputerowych dziejów naturalną drogą zwiększania szybkości działania procesorów – oprócz przyspieszenia częstotliwości zegara – jest powiększanie długości słowa, czyli liczby bitów jednocześnie przetwarzanych przez jednostkę centralną. Pierwsze mikroprocesory opracowane na początku lat siedemdziesiątych, np. Intel 4004, były konstrukcjami czterobitowymi. Później nadeszła era kości ośmiobitowych, takich jak Intel 8080, Z80 i Motorola 65xxx, szeroko stosowanych w domowych maszynach, m.in. ZX Spectrum, Commodore C64 czy Atari 800XL.

Losy pecetów od ich narodzin związane są zaś ściśle z kośćmi 16-bitowymi. W roku 1981 firma IBM wybrała do swojego komputera osobistego IBM PC (Personal Computer) układ 8086 mało wówczas znanej korporacji Intel. Następnie przyszła już kolej na procesory 32-bitowe, których najmłodszymi reprezentantami są układy Intel Pentium 4 i AMD Athlon XP.

W drodze do 64 bitów

Układy 32-bitowe wykorzystywane są w naszych pecetach od siedemnastu lat, czyli od chwili wprowadzenia do sprzedaży kości Intel 80386DX. Na drodze do dalszego zwiększania szerokości obrabianego słowa binarnego stanęły wolniej ewoluujące systemy operacyjne oraz przede wszystkim brak wystarczająco dużej ilości aplikacji, które wymagają działania na większej liczbie bitów.

Nie bez winy są też i konstruktorzy, którzy przez lata koncentrowali się na poprawianiu architektury 32-bitowej, a prędkość i wydajność zwiększali, stosując głównie coraz to szybsze zegary jednostek centralnych. Istnieją jednak zastosowania wymagające od układu obsługi dłuższych słów – obliczenia inżynierskie, grafika 3D, przetwarzanie strumieni wideo i wreszcie jednoczesne serwowanie wielu plików czy obsługa zaawansowanych baz danych. We współczesnych układach bez trudu znajdziemy zatem 128-bitowe rejestry (np. dla jednostki SSE), a na rynku dużych serwerów dominują kości 64-bitowe. Co więcej, procesory graficzne już od dawna są 128- lub nawet 256-bitowe!

Obecnie coraz częściej specjaliści postulują potrzebę zwiększenia długości słowa i niejako przy okazji... dostępnej przestrzeni adresowej. Architektura 32-bitowa zapewnia

bowiem „zaledwie” możliwość zaadresowania do 4 gigabajtów RAM-u, co już wkrótce z pewnością okaże się wartością zbyt małą.

Kompatybilność nade wszystko

Pierwszym 64-bitowym procesorem „zgodnym” z architekturą x86 był Intel Itanium (patrz: CHIP 4/2000, 130), który wykorzystywany jest obecnie w dużych, korporacyjnych systemach serwerowych. Przy konstruowaniu tego układu inżynierowie postanowili pozbyć się balastu związanego z archaicznym zestawem instrukcji x86, tworząc zupełnie nową architekturę IA-64. Dla zapewnienia kompatybilności z dotychczasowym oprogramowaniem wbudowano jednak w jądro specjalny moduł dekodujący rozkazy x86, lecz szybkość jego działania pozostawia, niestety, wiele do życzenia. W założeniu krok ten miał wymusić szybką wymianę oprogramowania na jego 64-bitowe odpowiedniki, jednak – jak wiemy – nie przyniosło to oczekiwanych rezultatów.

Nieco inną koncepcję „miękkiej przesiadki na 64 bity” proponuje firma AMD. Podobnie jak w przypadku przejścia z szesnastu na trzydzieści dwa bity, tak jak to miało miejsce dla pamiętnych układów z serii 80286 i 80386, postawiono na pełną zgodność z istniejącym oprogramowaniem. Około półtora roku temu narodził się programowy

Tryby pracy procesora zgodnego z x86-64

Tryb		Wymagany system operacyjny	Wymagana rekompilacja programu	Ustawienia domyślne ¹			
				Rozmiar adresu (bity)	Rozmiar operandy (bity)	Rozszerzenia rejestrów ²	Rejestry ogólnego przeznaczenia (bity)
Tryb long ³	Tryb 64-bitowy	Nowy 64-bitowy system operacyjny	tak	64	32	tak	64
	Tryb kompatybilności		nie	32		nie	32
				16			
Tryb legacy ⁴		32- lub 16-bitowy system operacyjny	nie	32	32	nie	32
				16	16		

1) Ustawienia domyślne mogą zostać zmienione w większości trybów za pomocą prefiksów instrukcji lub bitu kontrolnego.

2) Rozszerzenia rejestrów obejmują wydłużenie rejestrów ogólnego przeznaczenia do 64-bitów, dodanie ośmiu nowych rejestrów GPR oraz ośmiu rejestrów SSE/SSE2.

3) Tryb long obsługuje tryb chroniony x86. Nie wspiera trybu rzeczywistego ani wirtualnego 8086. Nie obsługuje również przełącznika zadań.

4) Tryb legacy obsługuje wszystkie tryby pracy procesorów x86 (rzeczywisty, wirtualny, chroniony).

76»

Architektura procesorów

model architektury x86-64 (patrz: CHIP 10/2000, 140), której pierwszymi krzemowymi przedstawicielami mają być procesory z serii Hammer (ang. młotek).

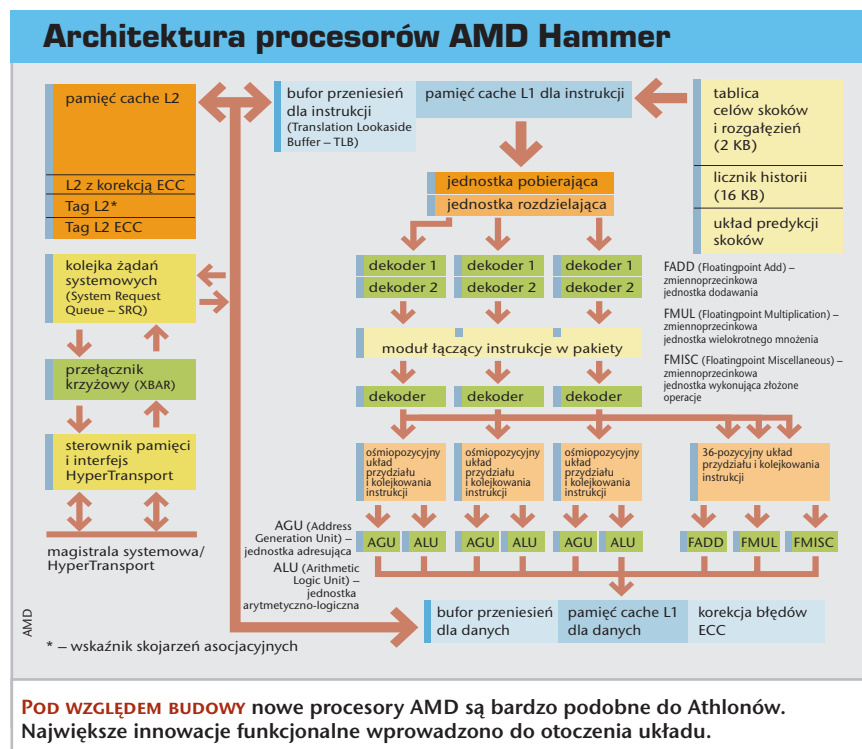
Młotek z podziałką

Na konferencji Microprocessor Forum 2001 przedstawiciele firmy AMD po raz pierwszy zaprezentowali architekturę układów K8, czyli właśnie Hammerów. Nowe procesory pod względem budowy bardzo przypominają dotychczasowego Athlona (patrz: CHIP 10/99, 124). Jądro Hammera zawiera trzy równoważne potoki oraz dziewięć niezależnych jednostek wykonawczych. Jednak w odróżnieniu od Athlona każdy z modułów może pobierać rozkazy i dane nie tylko ze swojej kolejki. Takie rozwiązanie wyeliminuje czas oczekiwania przez instrukcję na wolną jednostkę wykonawczą odpowiedniego typu. Co więcej, w przypadku użycia 32-bitowego kodu zgodnego z rozkazami x86 do każdego z modułów wprowadzane są po dwie instrukcje, które są następnie równolegle przetwarzane. Nie trzeba chyba nikomu tłumaczyć, jak ten zabieg wpłynie na wzrost wydajności.

Potok wykonawczy liczy sobie w Hammerze 12 faz. Są one jednak inne niż w Athlonach, ze względu na dostosowanie ich do pracy w trybie 64-bitowym. Oczywiście nie stoi na przeszkodzie, aby przetwarzać 32-bitowe instrukcje. Siedem faz potoku odpowiada za pobieranie i dekodowanie instrukcji, a kolejnych pięć za wykonanie i przesłanie wyniku do pamięci. Z kolei potok jednostki zmiennoprzecinkowej jest dłuższy i składa się aż z 17 faz.

Zarejestruj się

W Hammerze wszystkie rejestry ogólnego przeznaczenia (GPR – General Purpose Register) są 64-bitowe, podobnie jak szerokość słowa i wewnętrzne ścieżki danych. Jednak



koprocessor (FPU – Floating Point Unit) korzysta z ośmiu własnych 80-bitowych rejestrów. Ponadto w jądrze znajdziemy szesnaście 128-bitowych rejestrów przeznaczonych dla danych przetwarzanych przez instrukcje typu SSE i SSE2. Co ciekawe, bezpośrednie adresowanie rejestrów zmiennoprzecinkowych umożliwiło zaimplementowanie znanego z Pentium 4 zestawu rozkazów SSE2, bez potrzeby modyfikacji procesora.

64-bitowy tryb pracy Hammera rozszerza w prosty, liniowy sposób dotychczasowe 32-bitowe rejestry, zgodne z architekturą x86, do objętości 64 bitów. Tak powstałe nowe komórki wewnętrznej pamięci procesora oznaczono literą R – np. RAX w odróżnieniu od 32-bitowego rejestru EAX.

W Hammerze jednak nie wszystko jest 64-bitowe. Ze względu na konieczność zmniejszenia w kości liczby fizycznych wyprowadzeń inżynierowie z AMD postanowili uprościć konstrukcję układu. Wybór padł na okrojenie przestrzeni adresowej. Postanowiono zastosować 40-bitową szynę adresową oraz 48-bitowy wirtualny obszar pamięci. W efekcie z procesorem może

współdziałać 1024-gigabajtowy RAM i bez problemu „oznakowane” zostaną wszystkie adresy do objętości 280 TB (terabajtów).

Powrót do przeszłości

W historii procesorów firmy AMD układy z serii K6 dysponowały najsukcesowniejszym oraz najbardziej rozbudowanym modułem przewidywania (predykcji) rozgałęzień programu. Niestety, w Athlonach, nie wiedząc czemu, zrezygnowano z tego sprawdzonego rozwiązania, upraszczając znacznie cały układ. Tak więc dzisiejsze procesory AMD często się mylą w predykcji skoków, a efekt spowolnienia działania wyraźnie widać w programach o dużej liczbie rozgałęzień.

Na szczęście w układach K8 powrócono do sprawdzonych rozwiązań sprzed lat. Poprawne przewidywanie skoków i rozgałęzień programu oczywiście przyspiesza pracę pojedynczego procesora, ale jest szczególnie istotne w systemach wieloprocessorowych, do których będą wykorzystywane najmocniejsze odmiany Hammerów.

Strefa zewnętrzna

Jak widać, wewnątrz Hammera nie zastosowano nowatorskich rozwiązań, z jakimi mamy do czynienia w procesorach Intel Pentium 4 i Itanium. W K8 producent po prostu starał się wykorzystać całą swoją dotychczasową myśl konstrukcyjną. Znacznie bardziej rewolucyjny charakter mają zintegrowane z układem moduły pomocnicze.

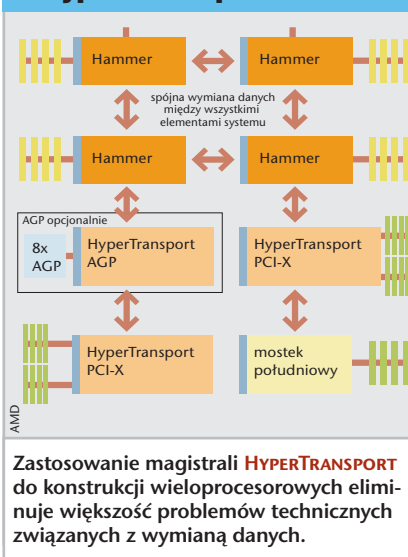
Architektura procesorów

Charakterystyczną cechą nowego procesora jest to, że wbudowano w niego sterownik pamięci RAM, który normalnie znajduje się w mostku południowym chipsetu płyty głównej. Dzięki temu, według zapewnień producenta, o 1/3 ulegnie skróceniu czas potrzebny do przetransportowania danych z pamięci operacyjnej do cache'u L2. Hammera przewidziano do współpracy z modułami DDR200, DDR266 i DDR333, a także z układami zgodnymi ze specyfikacją DDR 2. Pamięć cache L1 i L2 Hammera jest identyczna z tą znaną z Athlonów.

Obecnie wiadomo, że na rynku znajdują się kości z dwoma wersjami sterownika pamięci. W procesorach do komputerów biurowo-domowych szyna pamięci ma mieć szerokość 64 bitów, a w wersjach serwerowych poszerzona zostanie do 128 bitów.

Drugim istotnym, zewnętrznym elementem Hammera jest przełącznik krzyżowy, nazwany XBAR. Umożliwia on bezpośredni dostęp do pamięci obsługiwanej przez CPU innym, dowolnym urządzeniom (operacje w trybie DMA), w tym kilku jednostkom centralnym w systemach wieloprocessorowych. Rozwiązanie to bardzo przypomina architekturę procesorów Alpha korzystających z szyny EV7. Taka komunikacja nie byłaby jednak możliwa bez łącza HyperTransport (patrz: CHIP 9/2001, 82).

HyperTransport i SMP



Więcej niż magistrala

O tym, że Hammer ma się komunikować z otoczeniem za pośrednictwem łącza HyperTransport, mieliśmy już okazję pisać na naszych łamach (CHIP 9/2001, 82). Na konferencji Microprocessor Forum ujawniono, że w najprostszych układach zostanie zastosowane pojedyncze 16-bitowe łącze z możliwością podziału na dwie niezależne ośmiobitowe magistrale. W wersjach serwerowych koszt AMD ma mieć do dyspozycji trzy szyny 16-bitowe. Umożliwią one podłączenie do ośmiu niezależnych CPU.

Komputery wieloprocessorowe z Hammerami na pokładzie będą w pełni skalowalne i – co ważne – tanie w budowie. Zastosowanie łącza HyperTransport do konstrukcji takich maszyn nazwane zostało elastyczną wieloprocessorowością (Glueless multiprocessing). Rzeczywiście, do postawienia peceta, i to nieważne, czy jedno-, dwu- czy nawet ośmioprocessorowego, nie potrzeba żadnych specjalnych podzespołów i chipsetów. Wystarczą uniwersalne interfejsy HyperTransport-PCI i AGP oraz jeden mostek południowy.

Bez zadyszki

Jak uważają specjaliści, możliwości nowej architektury są imponujące. Wielofazowe, symetryczne potoki wykonawcze dadzą się równomiernie rozłożyć na bramki logiczne w strukturze krzemowej. Pozwoli to z kolei przyspieszyć częstotliwości pracy zegara o około 20% bez zmiany sposobu wytwarzania układów. Ponadto firma AMD ma zamiar produkować nowe układy w 0,13-mikronowej technologii SOI (Silicon On Insulator),

w której grupa tranzystorów stanowiących element funkcjonalny powstaje na odizolowanej od otoczenia krzemowej „wysepce”. Dzięki takiemu odseparowaniu elementów zmniejszają się prądy upływu i pojemności pasozytnicze, co umożliwi dalsze zwiększenie szybkości działania zegara.

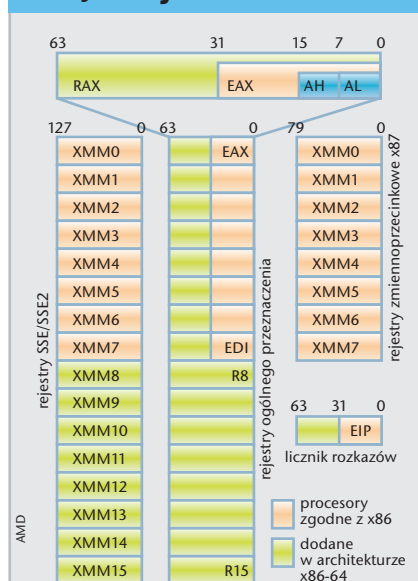
Według oszacowań firmy AMD pierwsze układy z serii Hammer mają pracować z częstotliwością 3 GHz i będą szybsze od modeli Athlon XP 2000+ prawie dwa i pół razy.

Kartonowe tygrysy

Na razie Hammery są „papierowymi” procesorami, gdyż jeszcze nie w pełni zaimplementowano tę architekturę w krzemie. Niemniej „najślabszy” z układów – Claw-Hammer – miał już swoją prapremierę 26 lutego br. na konferencji konkurencyjnej do intelowskiego wiosennego IDF-u. Niedługo pojawią się kolejne modele z „rodziny młotków” z najsilniejszym SledgeHammerem. Ten ostatni układ ma w sobie zawierać dwa jądra, podobnie jak IBM Power 4.

Firma AMD wyraźnie stawia na nową architekturę. Produkowane mają być układy począwszy od wersji dla notebooków, komputerów biurowych, stacji roboczych, serwerów, na superkomputerowych systemach klastrowych skończywszy. Wszystkie one zastąpią dotychczasową linię Duronów i Athlonów. Co ważne, jeden z największych producentów chipsetów dla płyt głównych – firma VIA – nie ukrywa, że prace nad układem sterującym dla Hammerów są bardzo zaawansowane. Także firmy ALi i SiS uzyskały licencje na HyperTransport i rozpoczęły opracowywanie własnych chipsetów. Wszystko wskazuje więc na to, że udaną przesiadkę na 64 bity przygotuje nam nie Intel, lecz właśnie korporacja AMD. ■

Rejestry x86-64



Liczby na rysunku numerują kolejne bity. Symbole XMM0-XMM15, R8-R15, AH, AL, EAX, EDI, RAX, EIP są nazwami własnymi poszczególnych rejestrów.

OD STRONY OPROGRAMOWANIA procesory z serii Hammer nie różnią się od dotychczasowych rozwiązań – zwiększono jedynie długość i liczbę rejestrów.

INFO

AMD

<http://www.amd.com/>

OPIS ARCHITEKTURY x86-64

<http://www.x86-64.org/>

HYPERTRANSPORT

<http://www.hypertransport.org/>



W dziale Hardware | Procesory znajdują się dodatkowe informacje o budowie układów Hammer. Na krążku umieściliśmy też publikowane w CHIP-ie artykuły o procesorach Itanium, Athlon, technologii HyperTransport oraz materiał dotyczący programowego modelu x86-64.